

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

1079-00
Jc882 U.S. PTO
09/616086
07/14/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 7月14日

出願番号

Application Number:

平成11年特許願第200845号

出願人

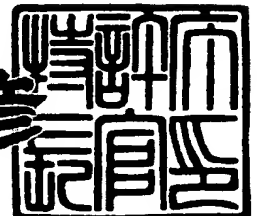
Applicant (s):

松下電器産業株式会社

2000年 6月 9日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3044837

【書類名】 特許願

【整理番号】 5037610024

【提出日】 平成11年 7月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/08

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田丸 雅規

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森脇 俊幸

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 鈴木 良一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100073874

【弁理士】

【氏名又は名称】 萩野 平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100093573

【弁理士】

【氏名又は名称】 添田 全一

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 008763

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された第 1 および第 2 のスルーホールと、

前記第 1 および第 2 のスルーホール上に、該第 1 および第 2 のスルーホールとそれぞれ電氣的に接続して形成された第 1 および第 2 の配線と、を有し、

前記第 1 および第 2 の配線をそれぞれ第 1 および第 2 の電位に接続してキャパシタを構成したことを特徴とする半導体装置。

【請求項 2】 半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された電極層と、

前記半導体基板上、半導体基板の絶縁層上または前記絶縁基板上で前記電極層の近傍に形成されたスルーホールと、

前記スルーホール上に該スルーホールと電氣的に接続して形成された配線と、を有し、

前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを構成したことを特徴とする半導体装置。

【請求項 3】 半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された電極層と、

前記半導体基板上、半導体基板の絶縁層上または前記絶縁基板上で前記電極層の近傍に、該電極層を挟んで形成された第 1 および第 2 のスルーホールと、

前記第 1 および第 2 のスルーホール上に、該第 1 および第 2 のスルーホールと電氣的に接続して形成された配線と、を有し、

前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを構成したことを特徴とする半導体装置。

【請求項 4】 前記電極層の側面または側面および上面に絶縁保護膜を形成したことを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】 前記スルーホールは前記電極層を覆って形成されたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記電極層は前記スルーホールを囲むように形成されたことを特徴とする請求項 2、3、4 または 5 に記載の半導体装置。

【請求項 7】 前記電極層は櫛形状に形成され、
前記スルーホールは前記櫛形状の歯となる電極層に挟まれた位置に形成されたことを特徴とする請求項 2、3、4 または 5 に記載の半導体装置。

【請求項 8】 半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された第 1 および第 2 の電極を有し、

前記第 1 および第 2 の電極をそれぞれ第 1 および第 2 の電位に接続してキャパシタを構成したことを特徴とする半導体装置。

【請求項 9】 前記第 1 および第 2 の電極の側面または側面および上面に絶縁保護膜を形成したことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 半導体基板上または絶縁基板上に絶縁層間膜を形成する絶縁層間膜形成工程と、

前記絶縁層間膜をエッチングして前記半導体基板上または絶縁基板上に第 1 および第 2 のスルーホールを形成するスルーホール形成工程と、

前記第 1 および第 2 のスルーホール上に、それぞれ第 1 および第 2 の配線を形成する配線形成工程と、を有し、

前記第 1 および第 2 の配線をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 11】 半導体基板上または絶縁基板上に電極層を形成する電極層形成工程と、

絶縁層間膜を形成する絶縁層間膜形成工程と、

前記電極層近傍の前記絶縁層間膜をエッチングして前記半導体基板上または絶縁基板上にスルーホールを形成するスルーホール形成工程と、

前記スルーホール上に配線を形成する配線形成工程と、を有し、

前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 12】 半導体基板上または絶縁基板上に電極層を形成する電極層形成工程と、

絶縁層間膜を形成する絶縁層間膜形成工程と、

前記電極層近傍の前記絶縁層間膜をエッチングして前記半導体基板上または絶縁基板上に第 1 および第 2 のスルーホールを形成するスルーホール形成工程と、

前記第 1 および第 2 のスルーホール上に配線を形成する配線形成工程と、を有し、

前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 1 3】 半導体基板上に絶縁層を形成する絶縁層形成工程と、

絶縁層間膜を形成する絶縁層間膜形成工程と、

前記絶縁層間膜をエッチングして前記絶縁層上に第 1 および第 2 のスルーホールを形成するスルーホール形成工程と、

前記第 1 および第 2 のスルーホール上に、それぞれ第 1 および第 2 の配線を形成する配線形成工程と、を有し、

前記第 1 および第 2 の配線をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 1 4】 半導体基板上に絶縁層を形成する絶縁層形成工程と、

前記絶縁層上に電極層を形成する電極層形成工程と、

絶縁層間膜を形成する絶縁層間膜形成工程と、

前記電極層近傍の前記絶縁層間膜をエッチングして前記絶縁層上にスルーホールを形成するスルーホール形成工程と、

前記スルーホール上に配線を形成する配線形成工程と、を有し、

前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 1 5】 半導体基板上に絶縁層を形成する絶縁層形成工程と、

前記絶縁層上に電極層を形成する電極層形成工程と、

絶縁層間膜を形成する絶縁層間膜形成工程と、

前記電極層近傍の前記絶縁層間膜をエッチングして前記絶縁層上に第 1 および第 2 のスルーホールを形成するスルーホール形成工程と、

前記第 1 および第 2 のスルーホール上に配線を形成する配線形成工程と、を有

し、

前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 1 6】 前記電極層形成工程後で前記絶縁層間膜形成工程前に、前記電極層の側面または側面および上面に絶縁保護膜を形成する絶縁保護膜形成工程を有することを特徴とする請求項 1 1、1 2、1 4 または 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 半導体基板上または絶縁基板上に第 1 および第 2 の電極を形成する電極層形成工程を有し、

前記第 1 および第 2 の電極をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 1 8】 半導体基板上に絶縁層を形成する絶縁層形成工程と、前記絶縁層上に第 1 および第 2 の電極を形成する電極層形成工程と、を有し、前記第 1 および第 2 の電極をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成することを特徴とする半導体装置の製造方法。

【請求項 1 9】 前記電極層形成工程後に、前記第 1 および第 2 の電極の側面または側面および上面に絶縁保護膜を形成する絶縁保護膜形成工程を有することを特徴とする請求項 1 7 または 1 8 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置および半導体装置の製造方法に係り、所望の位置にキャパシタを形成して電源ノイズ対策を効率的に行うことができ、また、微細化の進んだプロセス技術においても、より少ない面積でより大容量のキャパシタを構成できる半導体装置および半導体装置の製造方法に関する。

【0 0 0 2】

【従来の技術】

一般に、アナログ回路およびデジタル回路を混載した半導体装置や、低電圧で動作する半導体装置では、該半導体装置内のデジタル回路が発生させる電源

ノイズが問題となっている。

【0003】

このような電源ノイズを抑制するための手法として、従来より、半導体装置の外周部の幹線（電源）配線を2層化して、電源配線に付加される容量を増加させる手法がある。上記電源ノイズは、主としてデジタル回路に入力される信号の変化により電源電流が変化して起こるスイッチングノイズであり、信号が変化しない時に付加容量を充電し、信号が変化するスイッチング時に該付加容量に電源電圧供給源の役割を持たせることにより、電源電圧の急激な変動を抑制してノイズレベルを低減するものである。

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体装置における電源ノイズ対策は、半導体装置設計支援装置における配置・配線ツールによる配線の制約から、幹線（外周部）の電源配線についてしか自動的な対応を行うことができないという問題点があった。

【0005】

また特に、より厳しいノイズ抑制が要求されるような場合などでは、2つの配線層の導体膜を利用した大容量のキャパシタを別途半導体装置上に形成して電源配線に付加させる等の対処が為されるが、配線層を利用した平行平板型のキャパシタは、それを形成するための面積を別に必要とするので高集積化の妨げとなり、特に微細化の進んだプロセス技術の場合に顕著であるという問題点もあった。

【0006】

本発明は、上記従来の問題点に鑑みてなされたものであって、配置・配線ツールにおける配線制約を受けることなく、所望の位置にキャパシタを形成することができ、アナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置における電源ノイズ対策を効率的に行い得る半導体装置および半導体装置の製造方法を提供することを目的としている。

【0007】

また、本発明の他の目的は、微細化の進んだプロセス技術においても、より少

ない面積でより大容量のキャパシタを構成でき、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく該キャパシタを形成し得る半導体装置および半導体装置の製造方法を提供することである。

【0008】

【課題を解決するための手段】

上記課題を解決するために、本発明の請求項1に係る半導体装置は、半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された第1および第2のスルーホールと、前記第1および第2のスルーホール上に、該第1および第2のスルーホールとそれぞれ電氣的に接続して形成された第1および第2の配線とを具備し、前記第1および第2の配線をそれぞれ第1および第2の電位に接続してキャパシタを構成したものである。

【0009】

また、請求項2に係る半導体装置は、半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された電極層と、前記半導体基板上、半導体基板の絶縁層上または前記絶縁基板上で前記電極層の近傍に形成されたスルーホールと、前記スルーホール上に該スルーホールと電氣的に接続して形成された配線とを具備し、前記配線および前記電極層をそれぞれ第1および第2の電位に接続してキャパシタを構成したものである。

【0010】

また、請求項3に係る半導体装置は、半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された電極層と、前記半導体基板上、半導体基板の絶縁層上または前記絶縁基板上で前記電極層の近傍に、該電極層を挟んで形成された第1および第2のスルーホールと、前記第1および第2のスルーホール上に、該第1および第2のスルーホールと電氣的に接続して形成された配線とを具備し、前記配線および前記電極層をそれぞれ第1および第2の電位に接続してキャパシタを構成したものである。

【0011】

また、請求項4に係る半導体装置は、請求項2または3に記載の半導体装置において、前記電極層の側面または側面および上面に絶縁保護膜を形成したもので

ある。

【 0 0 1 2 】

また、請求項 5 に係る半導体装置は、請求項 4 に記載の半導体装置において、前記スルーホールが前記電極層を覆うように形成したものである。

【 0 0 1 3 】

また、請求項 6 に係る半導体装置は、請求項 2、3、4 または 5 に記載の半導体装置において、前記電極層が前記スルーホールを囲むように形成したものである。

【 0 0 1 4 】

また、請求項 7 に係る半導体装置は、請求項 2、3、4 または 5 に記載の半導体装置において、前記電極層を櫛形状に形成し、前記スルーホールを前記櫛形状の歯となる電極層に挟まれた位置に形成したものである。

【 0 0 1 5 】

また、請求項 8 に係る半導体装置は、半導体基板上、半導体基板の絶縁層上または絶縁基板上に形成された第 1 および第 2 の電極を具備し、前記第 1 および第 2 の電極をそれぞれ第 1 および第 2 の電位に接続してキャパシタを構成したものである。

【 0 0 1 6 】

また、請求項 9 に係る半導体装置は、請求項 8 に記載の半導体装置において、前記第 1 および第 2 の電極の側面または側面および上面に絶縁保護膜を形成したものである。

【 0 0 1 7 】

また、請求項 1 0 に係る半導体装置の製造方法は、半導体基板上または絶縁基板上に絶縁層間膜を形成する絶縁層間膜形成工程と、前記絶縁層間膜をエッチングして前記半導体基板上または絶縁基板上に第 1 および第 2 のスルーホールを形成するスルーホール形成工程と、前記第 1 および第 2 のスルーホール上に、それぞれ第 1 および第 2 の配線を形成する配線形成工程とを具備し、前記第 1 および第 2 の配線をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成するものである。

【 0 0 1 8 】

また、請求項 1 1 に係る半導体装置の製造方法は、半導体基板上または絶縁基板上に電極層を形成する電極層形成工程と、絶縁層間膜を形成する絶縁層間膜形成工程と、前記電極層近傍の前記絶縁層間膜をエッチングして前記半導体基板上または絶縁基板上にスルーホールを形成するスルーホール形成工程と、前記スルーホール上に配線を形成する配線形成工程とを具備し、前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成するものである。

【 0 0 1 9 】

また、請求項 1 2 に係る半導体装置の製造方法は、半導体基板上または絶縁基板上に電極層を形成する電極層形成工程と、絶縁層間膜を形成する絶縁層間膜形成工程と、前記電極層近傍の前記絶縁層間膜をエッチングして前記半導体基板上または絶縁基板上に第 1 および第 2 のスルーホールを形成するスルーホール形成工程と、前記第 1 および第 2 のスルーホール上に配線を形成する配線形成工程とを具備し、前記配線および前記電極層をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成するものである。

【 0 0 2 0 】

また、請求項 1 3 に係る半導体装置の製造方法は、半導体基板上に絶縁層を形成する絶縁層形成工程と、絶縁層間膜を形成する絶縁層間膜形成工程と、前記絶縁層間膜をエッチングして前記絶縁層上に第 1 および第 2 のスルーホールを形成するスルーホール形成工程と、前記第 1 および第 2 のスルーホール上に、それぞれ第 1 および第 2 の配線を形成する配線形成工程とを具備し、前記第 1 および第 2 の配線をそれぞれ第 1 および第 2 の電位に接続してキャパシタを形成するものである。

【 0 0 2 1 】

また、請求項 1 4 に係る半導体装置の製造方法は、半導体基板上に絶縁層を形成する絶縁層形成工程と、前記絶縁層上に電極層を形成する電極層形成工程と、絶縁層間膜を形成する絶縁層間膜形成工程と、前記電極層近傍の前記絶縁層間膜をエッチングして前記絶縁層上にスルーホールを形成するスルーホール形成工程

と、前記スルーホール上に配線を形成する配線形成工程とを具備し、前記配線および前記電極層をそれぞれ第1および第2の電位に接続してキャパシタを形成するものである。

【0022】

また、請求項15に係る半導体装置の製造方法は、半導体基板上に絶縁層を形成する絶縁層形成工程と、前記絶縁層上に電極層を形成する電極層形成工程と、絶縁層間膜を形成する絶縁層間膜形成工程と、前記電極層近傍の前記絶縁層間膜をエッチングして前記絶縁層上に第1および第2のスルーホールを形成するスルーホール形成工程と、前記第1および第2のスルーホール上に配線を形成する配線形成工程とを具備し、前記配線および前記電極層をそれぞれ第1および第2の電位に接続してキャパシタを形成するものである。

【0023】

また、請求項16に係る半導体装置の製造方法は、請求項11、12、14または15に記載の半導体装置の製造方法において、前記電極層形成工程後で前記絶縁層間膜形成工程前に、前記電極層の側面または側面および上面に絶縁保護膜を形成する絶縁保護膜形成工程を具備するものである。

【0024】

また、請求項17に係る半導体装置の製造方法は、半導体基板上または絶縁基板上に第1および第2の電極を形成する電極層形成工程を具備し、前記第1および第2の電極をそれぞれ第1および第2の電位に接続してキャパシタを形成するものである。

【0025】

また、請求項18に係る半導体装置の製造方法は、半導体基板上に絶縁層を形成する絶縁層形成工程と、前記絶縁層上に第1および第2の電極を形成する電極層形成工程とを具備し、前記第1および第2の電極をそれぞれ第1および第2の電位に接続してキャパシタを形成するものである。

【0026】

さらに、請求項19に係る半導体装置の製造方法は、請求項17または18に記載の半導体装置の製造方法において、前記電極層形成工程後に、前記第1およ

び第2の電極の側面または側面および上面に絶縁保護膜を形成する絶縁保護膜形成工程を具備するものである。

【0027】

本発明の請求項1に係る半導体装置および請求項10、13に係る半導体装置の製造方法では、半導体基板上、半導体基板の絶縁層上または絶縁基板上に絶縁層間膜を形成した後、該絶縁層間膜をエッチングして第1および第2のスルーホールを形成し、第1および第2のスルーホール上に、該第1および第2のスルーホールとそれぞれ電氣的に接続される第1および第2の配線を形成し、第1および第2の配線をそれぞれ第1および第2の電位に接続してキャパシタを構成している。

【0028】

すなわち、プロセス技術の微細化に伴って大きな容量を持つようになった配線間容量およびスルーホール間容量により、付加容量またはキャパシタを形成している。配線間容量およびスルーホール間容量は半導体装置内の任意の場所に配置可能であり、所望の位置に付加容量を形成することができるので、アナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、ノイズ発生箇所の近傍に付加容量を容易に形成することができ、電源ノイズ対策を効率的に行うことが可能となる。また、微細化の進んだプロセス技術においても、配線を利用して形成されたキャパシタよりもより少ない面積でより大容量のキャパシタを構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく、従前のプロセスで該キャパシタを形成することが可能である。

【0029】

また、請求項2、4、5、6、7に係る半導体装置および請求項11、14、16に係る半導体装置の製造方法では、半導体基板上、半導体基板の絶縁層上または絶縁基板上に電極層および絶縁層間膜を形成した後、該絶縁層間膜をエッチングして電極層の近傍にスルーホールを形成し、スルーホール上に該スルーホールと電氣的に接続される配線を形成して、配線および電極層をそれぞれ第1および第2の電位に接続してキャパシタを構成している。なお、電極層とスルーホー

ル間には両者を電氣的に絶縁するための絶縁保護膜が形成されているのが望ましい。また、電極層は例えば多結晶シリコン層等が該当する。

【0030】

また、請求項3、4、5、6、7に係る半導体装置および請求項12、15、16に係る半導体装置の製造方法では、半導体基板上、半導体基板の絶縁層上または絶縁基板上に電極層および絶縁層間膜を形成した後、該絶縁層間膜をエッチングして電極層の近傍に該電極層を挟んで第1および第2のスルーホールを形成し、第1および第2のスルーホール上に該第1および第2のスルーホールと電氣的に接続される配線を形成して、配線および電極層をそれぞれ第1および第2の電位に接続してキャパシタを構成している。なお、電極層とスルーホール間には両者を電氣的に絶縁するための絶縁保護膜が形成されているのが望ましい。また、電極層は例えば多結晶シリコン層等が該当する。

【0031】

これらは、プロセス技術の微細化に伴って大きな容量を持つようになった電極層とスルーホール間の容量により、付加容量またはキャパシタを形成したものである。電極層－スルーホール間容量は半導体装置内の任意の場所に配置可能であり、所望の位置に付加容量を形成することができるので、アナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、ノイズ発生箇所の近傍に付加容量を容易に形成することができ、電源ノイズ対策を効率的に行うことが可能となる。また、微細化の進んだプロセス技術においても、配線を利用して形成されたキャパシタよりもより少ない面積でより大容量のキャパシタを構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく、従前のプロセスで該キャパシタを形成することが可能である。なお、電極層とスルーホール間に高い誘電率を持つ絶縁保護膜が形成されている場合には、より大容量の付加容量またはキャパシタを形成することができる。

【0032】

特に、請求項5に係る半導体装置では、スルーホールが電極層を覆うように形成したときの電極層とスルーホール間の容量を利用して、付加容量またはキャパ

シタを形成するので、半導体装置内の所望の位置により大容量の付加容量を形成することができる。

【 0 0 3 3 】

また特に、請求項 6 に係る半導体装置では、電極層がスルーホールを囲むように形成したときの電極層とスルーホール間の容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に大容量の付加容量を形成することができる。また、電極層がスルーホールを囲むように形成したパターンを設計支援装置に登録し、単独または組み合わせて付加容量またはキャパシタを構成できるようにすれば、所望の容量値の付加容量またはキャパシタを所望の位置に形成することができる。

【 0 0 3 4 】

また特に、請求項 7 に係る半導体装置では、電極層を櫛形状に形成し、スルーホールが櫛形状の歯となる電極層に挟まれた位置に形成したときの電極層とスルーホール間の容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に大容量の付加容量を形成することができる。また、電極層を櫛形状に形成し、スルーホールが櫛形状の歯となる電極層に挟まれた位置に形成したパターンを設計支援装置に登録し、単独または組み合わせて付加容量またはキャパシタを構成できるようにすれば、所望の容量値の付加容量またはキャパシタを所望の位置に形成することができる。

【 0 0 3 5 】

さらに、請求項 8、9 に係る半導体装置および請求項 1 7、1 8、1 9 に係る半導体装置の製造方法では、半導体基板上、半導体基板の絶縁層上または絶縁基板上に第 1 および第 2 の電極を形成し、第 1 および第 2 の電極をそれぞれ第 1 および第 2 の電位に接続してキャパシタを構成している。なお、第 1 および第 2 の電極の側面または側面および上面には両者を電氣的に絶縁するための絶縁保護膜が形成されているのが望ましい。また、電極層は例えば多結晶シリコン層等が該当する。

【 0 0 3 6 】

すなわち、プロセス技術の微細化に伴って大きな容量を持つようになった電極

間の容量により、付加容量またはキャパシタを形成したものである。電極間容量は半導体装置内の任意の場所に配置可能であり、所望の位置に付加容量を形成することができるので、アナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、ノイズ発生箇所の近傍に付加容量を容易に形成することができ、電源ノイズ対策を効率的に行うことが可能となる。また、微細化の進んだプロセス技術においても、より高精度でより大容量のキャパシタを構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく、従前のプロセスで該キャパシタを形成することが可能である。なお、電極間に高い誘電率を持つ絶縁保護膜が形成されている場合には、より大容量の付加容量またはキャパシタを形成することができる。

【0037】

【発明の実施の形態】

以下、本発明の半導体装置および半導体装置の製造方法の実施の形態について、〔第1の実施形態〕、〔第2の実施形態〕、〔第3の実施形態〕、〔第4の実施形態〕、〔第5の実施形態〕、〔第6の実施形態〕の順に図面を参照して詳細に説明する。

【0038】

本発明の半導体装置および半導体装置の製造方法の実施の形態の説明に先立って、先ず、図2および図3を参照して、プロセス技術の微細化に伴う素子構造（配線層やポリシリコン層の構造）の変化について考察する。図2および図3は半導体集積回路の同一部分（ポリシリコンゲートnMOSトランジスタ）を構成する素子構造の説明図であり、図3は図2よりもプロセス技術の微細化がより進んだ素子構造を示している。なお、図2（a）および図3（a）は平面図（パターン図）であり、図2（b）および図3（b）はそれぞれ図2（a）および図3（a）のA-A'における断面図であり、図2（b）および図3（b）はB-B'における断面図である。

【0039】

図2において、201はp型シリコン基板、211はゲート酸化膜、D21は

n + 拡散領域、P 2 1 はポリシリコン層、B 2 1, B 2 2 および B 2 3 はスルーホール、M 2 1, M 2 2 および M 2 3 は第 1 配線層のメタル配線、M 2 4 は第 2 配線層のメタル配線である。

【 0 0 4 0 】

図 3 においても同様に、3 0 1 は p 型シリコン基板、3 1 1 はゲート酸化膜、3 1 2 は SAC (Self-Aligned Contact) プロセス技術においてスルーホールとポリシリコン層を分離するための絶縁保護膜、D 3 1 は n + 拡散領域、P 3 1 はポリシリコン層、B 3 1, B 3 2 および B 3 3 はスルーホール、M 3 1, M 3 2 および M 3 3 は第 1 配線層のメタル配線、M 3 4 は第 2 配線層のメタル配線である。

【 0 0 4 1 】

図 2 (c) および図 3 (c) の対比により、プロセス技術の微細化に伴って、配線に付加される容量は、第 1 配線層と第 2 配線層の異なる配線層間（例えば図 2 (c) のメタル配線 M 2 4 およびメタル配線 M 2 2, M 2 3 間）の容量から、同一配線層間（例えば図 3 (c) のメタル配線 M 3 2 およびメタル配線 M 3 3 間）の容量へと、支配的となる容量が変わってきていることが分かる。プロセス技術の微細化により、同一配線層における配線相互の線間距離が短くなっていると共に、抵抗の増大を抑制する目的から配線断面積を大きくとるために配線層の厚さが大きくなっていることによるものである。

【 0 0 4 2 】

また、図 2 (b) および図 3 (b) の対比により、プロセス技術の微細化に伴って、図 2 (b) では特に問題視されていなかったスルーホール間の容量やスルーホールーポリシリコン層間の容量が、図 3 (b) ではスルーホール B 3 1 および B 3 2 間の容量やスルーホール B 3 1, B 3 2ーポリシリコン層 P 3 1 間の容量が無視できないほど大きな値を持つようになって来ていることも分かる。特にスルーホールーポリシリコン層間の容量は、絶縁保護膜 3 1 2 が高誘電率を持つため、より大きな容量値となっている。

【 0 0 4 3 】

このように、プロセス技術の微細化に伴う配線層やポリシリコン層の構造の変

化により、同一配線層間容量やスルーホールポリシリコン層間容量等の付加容量が大きな値を持つようになり、微細化プロセスではこの付加容量に対処する技術が種々提案されている。本発明の半導体装置および半導体装置の製造方法では、プロセス技術の微細化に伴って大きな付加容量を持つようになった構造部分を用いて、電源ノイズ対策用に電源配線に付加される容量や、半導体集積回路を構成するキャパシタを形成しようとするものである。

【0044】

〔第1の実施形態〕

図1は、本発明の第1の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。図1(a)および(c)は平面図(パターン図)であり、図1(b)は図1(a)および(c)のA-A'における断面図である。なお、本実施形態の半導体装置および半導体装置の製造方法は、プロセス技術の微細化に伴って大きな容量を持つようになった配線間容量およびスルーホール間容量により、付加容量またはキャパシタを形成するものである。

【0045】

図1において、101はシリコン基板、B11およびB12はスルーホール、M11およびM12はメタル配線である。なお、図1(b)中では省略されているが、スルーホールB11およびB12間には絶縁層間膜が、メタル配線M11およびM12間には絶縁線間膜がそれぞれ形成されている。

【0046】

図1に示される構造を、電源配線の付加容量として電源ノイズ対策に使用する場合には、メタル配線M11およびM12の一方を電源電位VDDに、他方を電源電位VSSにそれぞれ接続されることとなる。また、半導体集積回路におけるキャパシタとして使用する場合には、メタル配線M11およびM12がそれぞれ該キャパシタの両端電位を持つこととなる。

【0047】

図1に示される構造は、少なくとも次のようなプロセスを経て実現される。先ず、絶縁層間膜形成工程により、シリコン基板101上に絶縁層間膜が形成され、次に、スルーホール形成工程により、絶縁層間膜をエッチングしてシリコン基

板 101 上にスルーホール B 11 および B 12 が形成され、さらに、配線形成工程により、スルーホール B 11 および B 12 上にそれぞれメタル配線 M 11 および M 12 が形成される。

【0048】

なお、図 1 (a) および (b) に示されるような構造でキャパシタを実現する場合、該キャパシタの容量は配線間容量およびスルーホール間容量の合成値となるが、メタル配線 M 11 および M 12 の膜厚 h_m 、スルーホール B 11 および B 12 の高さ h_b 、並びにスルーホール B 11 および B 12 間の距離 d_b の大小関係によって、配線間容量またはスルーホール間容量の何れか一方がより支配的となる。

【0049】

先ず、スルーホール間の距離 d_b よりもスルーホールの高さ h_b が大きい時 ($d_b < h_b$) には、スルーホール間容量を有効に利用することができる。また逆に、スルーホール間の距離 d_b がスルーホールの高さ h_b よりも大きい時 ($d_b > h_b$) には、配線間容量の方が支配的となる。但し、スルーホール間容量が利用されないということではない。

【0050】

次に、スルーホールの高さ h_b がメタル配線の膜厚 h_m よりも大きい時 ($h_b > h_m$) には、配線間容量よりもスルーホール間容量の方が相対的に大きく、有効に利用することが可能である。逆の時 ($h_b < h_m$) には、配線間容量がスルーホール間容量よりも相対的に大きくなるが、スルーホール間容量が利用されないということではない。

【0051】

なお、現状のプロセス技術では、絶縁層間膜を薄くすると回路全体の配線容量が増加して、回路全体にその影響が現れるため、プロセス技術的な問題が無い限り絶縁層間膜は厚く積まれることが望ましく、したがって、構造的に $d_b < h_b$ で $h_b > h_m$ となることが大半であると考えられる。

【0052】

なお、本実施形態では、MOS デバイスを想定して説明したが、バイポーラ等

の他のデバイスに対して適用可能であることはいうまでもない。また、シリコン基板 101 上にスルーホール B11 および B12 を形成したが、シリコン基板 101 の素子分離領域等の絶縁層上に形成してもよい。また、シリコン基板 101 の代わりに絶縁基板を使用して、本実施形態を SOI (Silicon On Insulator) 構造に適用することも可能である。

【0053】

また、スルーホール B11 および B12 の形状は、図 1 (a) に示されるような切断面が正方形をした固定形状とするのが通常であるが、付加容量またはキャパシタを形成する場合には、半導体基板、半導体基板の絶縁層または絶縁基板の上にスルーホールが形成されるので、エッチングばらつき等の問題が無くなることから、スルーホールの固定形状ルールを無くして、図 1 (c) に示すように、切断面が長方形をしたスルーホールとすることも可能である。

【0054】

以上のように、本実施形態の半導体装置および半導体装置の製造方法では、プロセス技術の微細化に伴って大きな容量を持つようになった配線間 (M11 および M12 間) 容量およびスルーホール間 (B11 および B12 間) 容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に付加容量を形成することができる。例えば、アナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、スイッチングノイズ等が発生する箇所の近傍に付加容量を容易に形成することができ、電源ノイズ対策を効率的に行うことが可能となる。また、微細化の進んだプロセス技術においても、従来の配線層間の平行平板型キャパシタと比較して、より少ない面積でより大容量のキャパシタを構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく該キャパシタを形成することが可能である。

【0055】

〔第 2 の実施形態〕

図 4 は、本発明の第 2 の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。図 4 (a) および (c) は平面図 (パターン図) であり、図

4 (b) は図 4 (a) および (c) の A-A' における断面図である。なお、本実施形態の半導体装置および半導体装置の製造方法は、プロセス技術の微細化に伴って大きな容量を持つようになったスルーホールポリシリコン層間の容量により、付加容量またはキャパシタを形成するものである。

【0056】

図 4 において、401 はシリコン基板、B41、B42 および B43 はスルーホール、M41 および M42 はメタル配線、P41 はポリシリコン層である。なお、ポリシリコン層 P41 の側面にはスペーサ 411 が形成され、さらにその側面および上面を絶縁保護膜 412 で覆った構造である。また、図 4 (b) 中では省略されているが、スルーホール B41 および B42 間には絶縁層間膜が、メタル配線 M41 および M42 間には絶縁線間膜がそれぞれ形成されている。

【0057】

図 4 に示される構造を、電源配線の付加容量として電源ノイズ対策に使用する場合には、メタル配線 M41 および M42 の一方を電源電位 VDD に、他方を電源電位 VSS にそれぞれ接続されることとなる。また、半導体集積回路におけるキャパシタとして使用する場合には、メタル配線 M41 および M42 がそれぞれ該キャパシタの両端電位を持つこととなる。

【0058】

なお、図 4 では、シリコン基板 401 上にスルーホール B41、B42 およびポリシリコン層 P41 を形成したが、シリコン基板 401 の素子分離領域等の絶縁層上に形成してもよい。また、シリコン基板 401 の代わりに絶縁基板を使用して、本実施形態を SOI (Silicon On Insulator) 構造に適用することも可能である。

【0059】

また、図 4 では、2つのスルーホール B41、B42 とポリシリコン層 P41 との間の容量によりキャパシタを形成しているが、1つのスルーホール B41 または B42 とポリシリコン層 P41 との間の容量で形成してもよい。図 4 では、主として、ポリシリコン層 P41 の左側面とスルーホール B41、ポリシリコン層 P41 の上面とスルーホール B41、ポリシリコン層 P41 の右側面とスルー

ホールB42およびポリシリコン層P41の上面とスルーホールB42のそれぞれの間の容量の合成により形成されるキャパシタの容量値が決定されたが、この変形構造でキャパシタを形成した場合には、ポリシリコン層P41の側面とスルーホールおよびポリシリコン層P41の上面とスルーホールのそれぞれの間の容量の合成となる。

【0060】

また、スルーホールB41およびB42の形状は、図4(a)に示されるような切断面が正方形をした固定形状とするのが通常であるが、付加容量またはキャパシタを形成する場合には、半導体基板、半導体基板の絶縁層または絶縁基板の上にスルーホールが形成されるので、エッチングばらつき等の問題が無くなることから、スルーホールの固定形状ルールを無くして、図4(c)に示すように、切断面を長方形としたスルーホール形状にすることも可能である。

【0061】

次に、本実施形態における半導体装置の製造方法、即ちスルーホールーポリシリコン層間の容量を用いてキャパシタを形成する場合の製造方法を図5および図6を参照して説明する。図5(a)～(e)および図6(a)～(c)は、各製造工程を実施した後の断面図である。なお、図5および図6では、付加容量またはキャパシタの形成部分のみならずトランジスタの形成部分についても示し、また、付加容量またはキャパシタは、シリコン基板の素子分離領域上に形成されるものを例示している。

【0062】

まず、図5(a)は、p型シリコン基板501上にゲート酸化膜504を形成し、nウェル502およびpウェル503を形成した後の断面図である。

【0063】

次に、図5(b)は、STI(Shallow Trench Isolation)等の素子分離領域505の形成を行った後の断面図である。素子分離領域505は、例えば酸化シリコン等の絶縁膜である。なお、後で明らかになるように、素子分離領域505上にキャパシタが形成され、nウェル502側にトランジスタが形成される。

【0064】

次に、図5(c)は、ポリシリコン層を堆積させて、リソグラフィによりポリシリコン層P51、P52およびゲート電極(ポリシリコン層)P53を形成し、イオン打ち込みによりソース・ドレインとなるn-LDD注入領域506を形成した後の断面図である。ここで、LDDは、n+拡散領域の外側にn-領域を設けて電界を緩和させ、ホットエレクトロンに耐性を持たせたLDD (Lightly Doped Drain) 構造を指す。

【0065】

次に、図5(d)は、各ポリシリコン層P51、P52、P53の側面にスペーサ511を形成した後、イオン打ち込みによりn+拡散領域507を形成した後の断面図である。ここで、スペーサ511は酸化シリコン SiO_2 (誘電率4.2)等の保護膜である。

【0066】

次に、図5(e)は、SACプロセス用の絶縁保護膜512を形成した後の断面図である。ここで、絶縁保護膜512には窒化シリコン SiN (誘電率6.5)等を使用する。

【0067】

次に、図6(a)は、絶縁層間膜513を形成した後の断面図である。ここで、絶縁層間膜513には、 SiOF (誘電率3.7)、 SiO_2 (誘電率4.2)、HSQ (Hydrogen Silsesquioxane; 誘電率3.0)等の誘電率の比較的低いものが使用される。

【0068】

次に、図6(b)は、絶縁層間膜513をエッチングした後に導電材料を埋め込んでスルーホールB51、B52、B53、B54、B55を形成した後の断面図である。ここで、絶縁保護膜512の膜厚を t 、スルーホールB51～B55の高さを h_b とするとき、絶縁保護膜512のエッチングレート R_a は、絶縁層間膜513のエッチングレート R_b の (h_b/t) 倍よりも小さいものとする。ここにいうエッチングレートは削れ易さを表し、エッチングレートは材料に依存するので、逆に絶縁保護膜512の膜厚 t がほぼ決まることになる。

【0069】

次に、図 6 (c) は、各スルーホール B 5 1 ~ B 5 5 上に配線 M 5 1 ~ M 5 5 を形成し、線間膜 5 1 4 を形成した後の断面図である。以上の工程により、素子分離領域 5 0 5 上にキャパシタが形成され、n ウェル 5 0 2 側にトランジスタが形成される。また、以上の説明から明らかなように、本実施形態の製造方法では、トランジスタ等の他のデバイスと同一のプロセスで、特別な工程を追加することなくキャパシタを形成することが可能である。

【0070】

以上のように、本実施形態の半導体装置および半導体装置の製造方法では、プロセス技術の微細化に伴って大きな容量を持つようになったポリシリコン層とスルーホール間の容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に付加容量を形成することができる。例えば、アナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、スイッチングノイズ等が発生する箇所の近傍に付加容量を容易に形成することができ、電源ノイズ対策を効率的に行うことが可能となる。また、微細化の進んだプロセス技術においても、従来の配線層間の平行平板型キャパシタと比較して、より少ない面積でより大容量のキャパシタを構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく該キャパシタを形成することが可能である。

なお、本実施形態の上記説明では MOS デバイスを想定したが、本実施形態をバイポーラ等の他のデバイスに対しても適用可能であることはいうまでもない。

【0071】

〔第 3 の実施形態〕

図 7 は、本発明の第 3 の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。図 7 (a) は平面図（パターン図）であり、図 7 (b) は図 7 (a) の A-A' における断面図である。なお、本実施形態の半導体装置および半導体装置の製造方法は、第 2 の実施形態と同様にスルーホールポリシリコン層間の容量により、付加容量またはキャパシタを形成するものであるが、スルーホールがポリシリコン層を覆うように形成されている点異なる。

【0072】

図 7 において、701 はシリコン基板、B71, B72 はスルーホール、M71 および M72 はメタル配線、P71 はポリシリコン層である。なお、ポリシリコン層 P71 の側面にはスペーサ 711 が形成され、さらにその側面および上面を絶縁保護膜 712 で覆った構造である。

【0073】

図 7 に示される構造を、電源配線の付加容量として電源ノイズ対策に使用する場合には、メタル配線 M71 および M72 の一方を電源電位 VDD に、他方を電源電位 VSS にそれぞれ接続されることとなる。また、半導体集積回路におけるキャパシタとして使用する場合には、メタル配線 M71 および M72 がそれぞれ該キャパシタの両端電位を持つこととなる。

【0074】

図 7 に示される構造の製造方法は第 2 の実施形態と同様であるが、少なくとも次のようなプロセスを経て実現される。まず、電極層形成工程によりシリコン基板 701 上にポリシリコン層 P71 が形成される。次に、絶縁保護膜形成工程によりポリシリコン層 P71 の側面にスペーサ 711 が形成され、それを覆って絶縁保護膜 712 が形成される。次に、絶縁層間膜形成工程により絶縁層間膜が形成される。次に、スルーホール形成工程により、絶縁層間膜をエッチングしてスルーホールが形成されるが、スルーホール B71 はポリシリコン層 P71 を覆うような大きさの切断面を持って形成される。そしてさらに、配線形成工程により、スルーホール B71, B72 上にそれぞれメタル配線 M71 および M72 が形成される。したがって、本実施形態の付加容量またはキャパシタによる容量は、第 2 の実施形態のものよりもさらに大容量とすることができる。

【0075】

なお、スルーホールの形状は、スルーホール B72 のように切断面が正方形とした固定形状とするのが通常であるが、付加容量またはキャパシタを形成する場合には、半導体基板、半導体基板の絶縁層または絶縁基板の上にスルーホールが形成されるので、エッチングばらつき等の問題が無くなることから、スルーホールの固定形状ルールを無くして、本実施形態のスルーホール B71 のような形状とすることが可能となる。

【0076】

また、本実施形態の上記説明ではMOSデバイスを想定したが、本実施形態をバイポーラ等の他のデバイスに対しても適用可能であることはいうまでもない。また、図7では、シリコン基板701上にスルーホールB71およびポリシリコン層P71を形成したが、シリコン基板701の素子分離領域等の絶縁層上に形成してもよい。また、シリコン基板701の代わりに絶縁基板を使用して、本実施形態をSOI (Silicon On Insulator) 構造に適用することも可能である。

【0077】

以上のように、本実施形態の半導体装置および半導体装置の製造方法では、スルーホールB71がポリシリコン層P71を覆うように形成したときのポリシリコン層とスルーホール間の容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に大容量の付加容量を形成することができる。例えば、アナログ回路およびディジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、スイッチングノイズ等が発生する箇所の近傍に大容量の付加容量を容易に形成することができ、電源ノイズ対策を効率的に行うことが可能となる。また、微細化の進んだプロセス技術においても、より大容量のキャパシタを構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく該キャパシタを形成することが可能である。

【0078】

〔第4の実施形態〕

図8は、本発明の第4の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。図8(a)は平面図(パターン図)であり、図8(b)は図8(a)のA-A'における断面図である。なお、本実施形態の半導体装置および半導体装置の製造方法は、第2の実施形態と同様にスルーホールポリシリコン層間の容量により、付加容量またはキャパシタを形成するものであるが、ポリシリコン層がスルーホールを囲むように形成されている点が異なる。

【0079】

図8において、801はシリコン基板、B81、B82はスルーホール、M8

1 および M82 はメタル配線、P81 はポリシリコン層である。なお、ポリシリコン層 P81 の側面にはスペーサ 811 が形成され、さらにその側面および上面を絶縁保護膜 812 で覆った構造である。また、図 8 (b) 中では省略されているが、スルーホール B81 の周囲には絶縁層間膜が形成されている。

【0080】

図 8 に示される構造を、電源配線の付加容量として電源ノイズ対策に使用する場合には、メタル配線 M81 および M82 の一方を電源電位 VDD に、他方を電源電位 VSS にそれぞれ接続されることとなる。また、半導体集積回路におけるキャパシタとして使用する場合には、メタル配線 M81 および M82 がそれぞれ該キャパシタの両端電位を持つこととなる。また、図 8 に示される構造は、第 2 および第 3 の実施形態と同様のプロセスを経て形成される。

【0081】

なお、本実施形態の上記説明では MOS デバイスを想定したが、本実施形態をバイポーラ等の他のデバイスに対しても適用可能であることはいうまでもない。また、図 8 では、シリコン基板 801 上にスルーホール B81 およびポリシリコン層 P81 を形成したが、シリコン基板 801 の素子分離領域等の絶縁層上に形成してもよい。また、シリコン基板 801 の代わりに絶縁基板を使用して、本実施形態を SOI (Silicon On Insulator) 構造に適用することも可能である。

【0082】

また、図 8 では、ポリシリコン層 P81 がスルーホール B81 を囲むように、ポリシリコン層 P81 の平面形状を八角形の各辺に沿って形成した形状となっている。これは、左右斜め 45 度に配線が可能なプロセスルールにおいてのみ可能な形状であり、該斜め配線が許されない場合には、ポリシリコン層 P81 の平面形状を例えば四角形の各辺に沿って形成した形状とする変形が可能である。また、ポリシリコン層 P81 の平面形状は、スルーホール B81 を四方八方の全てを囲む形状でなく、一部を囲む、例えば「コの字」形状としてもよい。

【0083】

以上のように、本実施形態の半導体装置および半導体装置の製造方法では、ポリシリコン層 P81 がスルーホール B81 を囲むように形成したときのポリシリ

コン層とスルーホール間の容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に大容量の付加容量を形成することができる。また、電源ノイズ対策を効率的に行えることや他のデバイスと同一のプロセスでキャパシタを形成できること等の効果については、上記他の実施形態と同様である。

【0084】

さらに、本実施形態では、八角形の各辺に沿って形成したポリシリコン層 P81 や四角形の各辺に沿って形成したポリシリコン層、或いは「コの字」形状のポリシリコン層等々を、1つのセルとして配置・配線ツール（半導体集積回路設計支援装置）のライブラリに登録しておき、これらを単独または組み合わせて付加容量またはキャパシタを構成するようにすれば、所望の容量値の付加容量またはキャパシタを所望の位置に形成することができ、ゲートアレイ等の配置・配線がより規則的な半導体装置にも容易に適用することが可能となる。

【0085】

〔第5の実施形態〕

図9は、本発明の第5の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。図9(a)は平面図（パターン図）であり、図9(b)は図9(a)のA-A'における断面図である。なお、本実施形態の半導体装置および半導体装置の製造方法は、第2の実施形態と同様にスルーホールーポリシリコン層間の容量により、付加容量またはキャパシタを形成するものであるが、ポリシリコン層を櫛形状に形成し、スルーホールが櫛形状の歯となるポリシリコン層に挟まれた位置に形成されている点が異なる。

【0086】

図9において、901はシリコン基板、B91m~B9jmおよびB91p~B9j+1pはスルーホール、M91およびM92はメタル配線、P91~P9j+1はポリシリコン層である。なお、各ポリシリコン層P91~P9j+1は、メタル配線M92の下で図9(a)では示されないポリシリコン層によって接続されている。また各ポリシリコン層の側面にはスペーサ911が形成され、さらにその側面および上面を絶縁保護膜912で覆った構造である。また、図9(

b) 中では省略されているが、各スルーホールB91m～B9jmの周囲には絶縁層間膜が形成されている。

【0087】

図9に示される構造を、電源配線の付加容量として電源ノイズ対策に使用する場合には、メタル配線M91およびM92の一方を電源電位VDDに、他方を電源電位VSSにそれぞれ接続されることとなる。また、半導体集積回路におけるキャパシタとして使用する場合には、メタル配線M91およびM92がそれぞれ該キャパシタの両端電位を持つこととなる。また、図9に示される構造は、第2の実施形態と同様のプロセスを経て実現される。

【0088】

なお、図9では、シリコン基板901上にスルーホールB91m～B9jmおよびポリシリコン層P91～P9j+1を形成したが、シリコン基板901の素子分離領域等の絶縁層上に形成してもよい。また、シリコン基板901の代わりに絶縁基板を使用して、本実施形態をSOI (Silicon On Insulator) 構造に適用することも可能である。また、MOSデバイスのみならずバイポーラ等の他のデバイスに対しても適用可能である。

【0089】

以上のように、本実施形態の半導体装置および半導体装置の製造方法では、ポリシリコン層を櫛形状に形成し、スルーホールが櫛形状の歯となるポリシリコン層に挟まれた位置に形成したときのポリシリコン層とスルーホール間の容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に大容量の付加容量を形成することができる。また、電源ノイズ対策を効率的に行えることや他のデバイスと同一のプロセスでキャパシタを形成できること等の効果については、上記他の実施形態と同様である。

【0090】

また、図9では、ポリシリコン層がスルーホールB91m～B9jmのそれぞれを「コの字」状に囲むような形状としたが、単に、第2の実施形態のキャパシタの形状を連続的に配置した（即ち、図9においてメタル配線M91の下にポリシリコン層が無いとした）形状としてもよい。また、「コの字」形状のポリシリ

コン層、或いは「二の字」形状のポリシリコン層等々を、1つのセルとして配置・配線ツール（半導体集積回路設計支援装置）に登録しておき、これらを連続的に組み合わせて付加容量またはキャパシタを構成できるようにすれば、所望の容量値の付加容量またはキャパシタを所望の位置に形成することができ、ゲートアレイ等の配置・配線がより規則的な半導体装置にも容易に適用することが可能となる。

【0091】

〔第6の実施形態〕

図10は、本発明の第6の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。図10(a)は平面図（パターン図）であり、図10(b)は図10(a)のA-A'における断面図である。なお、本実施形態の半導体装置および半導体装置の製造方法は、プロセス技術の微細化に伴って大きな容量を持つようになったポリシリコン層間の容量により、付加容量またはキャパシタを形成するものである。

【0092】

図10において、1001はシリコン基板、B101およびB102はスルーホール、M101およびM102はメタル配線、P101およびP102はポリシリコン層である。なお、ポリシリコン層P101、P102の側面にはスペーサ1011が形成され、さらにその側面および上面を絶縁保護膜1012で覆った構造である。また、図10(b)中では省略されているが、絶縁保護膜1012の上方には絶縁層間膜が形成されている。

【0093】

図10に示される構造を、電源配線の付加容量として電源ノイズ対策に使用する場合には、メタル配線M101およびM102の一方を電源電位VDDに、他方を電源電位VSSにそれぞれ接続されることとなる。また、半導体集積回路におけるキャパシタとして使用する場合には、メタル配線M101およびM102がそれぞれ該キャパシタの両端電位を持つこととなる。

【0094】

なお、図10では、シリコン基板1001上にポリシリコン層P101、P1

02を形成したが、シリコン基板1001の素子分離領域等の絶縁層上に形成してもよい。また、シリコン基板1001の代わりに絶縁基板を使用して、本実施形態をSOI (Silicon On Insulator) 構造に適用することも可能である。また、MOSデバイスのみならずバイポーラ等の他のデバイスに対しても適用可能である。

【0095】

また、図10では、2つのポリシリコン層P101、P102間の容量によりキャパシタを形成しているが、3以上のポリシリコン層間の容量で形成してもよい。図11には、3つのポリシリコン層P101、P102およびP103間の容量によりキャパシタを形成する場合の断面図を示す。図11中、1005は素子分離領域、1013は絶縁層間膜である。3つのポリシリコン層P101、P102およびP103の内、中心のポリシリコン層P102に注目して、寄生する容量を定式的に表してみる。

【0096】

すなわち、真空中の比誘電率を ϵ_0 、絶縁層間膜1013の比誘電率を ϵ_A 、絶縁保護膜1012の比誘電率を ϵ_B 、素子分離領域1005の比誘電率を ϵ_C とし、また、ポリシリコン層間の距離を d 、ポリシリコン層の高さを h 、ポリシリコン層による平行平板の長さを L 、ポリシリコン層の幅を w 、ポリシリコン層上方の絶縁層間膜1013の膜厚を h_{t1} 、ポリシリコン層上方の絶縁保護膜1012の膜厚を h_{t2} 、素子分離領域1005の膜厚を h_u とすれば、ポリシリコン層P102に生じる寄生容量 C_{P102} は次式で表せる。

【0097】

$$\begin{aligned} C_{P102} = & \epsilon_0 \cdot w \cdot L / \{ (h_{t1} / \epsilon_A) + (h_{t2} / \epsilon_B) \} \\ & + 2 \cdot \epsilon_B \cdot \epsilon_0 \cdot (h \cdot L / d) \\ & + \epsilon_C \cdot \epsilon_0 \cdot (w \cdot L / h_u) \end{aligned}$$

【0098】

ここで、注目するポリシリコン層P102の周囲に発生するフリンジ容量は、左右および上下の平行平板容量に含まれるものとし、素子分離領域1005の下層にあるウェルはポリシリコン層P102と異なる電位であるものとする。

【0099】

図10に示される構造の製造方法は第2の実施形態と同様であるが、少なくとも次のようなプロセスを経て実現される。まず、電極層形成工程によりシリコン基板1001上にポリシリコン層P101、P102が形成される。次に、絶縁保護膜形成工程によりポリシリコン層P101、P102の側面にスペーサ1011が形成され、それを覆って絶縁保護膜1012が形成される。次に、絶縁層間膜形成工程により絶縁層間膜が形成される。次に、スルーホール形成工程により、絶縁層間膜をエッチングしてスルーホールB101、B102が形成され、さらに、配線形成工程により、スルーホールB101、B102上にそれぞれメタル配線M101およびM102が形成される。なお、ポリシリコン層P101、P102の加工精度が高いことから、高精度な容量値を持つ付加容量またはキャパシタを形成することができる。

【0100】

以上のように、本実施形態の半導体装置および半導体装置の製造方法では、プロセス技術の微細化に伴って大きな容量を持つようになったポリシリコン層間の容量を利用して、付加容量またはキャパシタを形成するので、半導体装置内の所望の位置に付加容量を形成することができる。例えば、アナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、スイッチングノイズ等が発生する箇所の近傍に付加容量を容易に形成することができ、電源ノイズ対策を効率的に行うことが可能となる。また、微細化の進んだプロセス技術においても、従来の配線層間の平行平板型キャパシタと比較して、より少ない面積でより大容量のキャパシタを高精度に構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく該キャパシタを形成することが可能である。

【0101】

【発明の効果】

以上説明したように、本発明の半導体装置および半導体装置の製造方法によれば、プロセス技術の微細化に伴って大きな容量を持つようになった配線間容量およびスルーホール間容量、電極層とスルーホール間の容量、或いは電極層間の容

量により、付加容量またはキャパシタを形成しているので、所望の位置に付加容量を形成することができ、例えばアナログ回路およびデジタル回路を混載した半導体装置や低電圧で動作する半導体装置において、ノイズ発生箇所の近傍に付加容量を容易に形成することができるので、電源ノイズ対策を効率的に行うことが可能となる。

また、微細化の進んだプロセス技術においても、配線層を利用して形成されたキャパシタよりもより少ない面積でより大容量のキャパシタを構成することができ、しかもトランジスタ等の他のデバイスと同一のプロセスで特別な工程を追加することなく、従前のプロセスで該キャパシタを形成することが可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。

【図 2】

半導体集積回路の nMOS トランジスタを構成する素子構造の説明図（その 1）である。

【図 3】

半導体集積回路の nMOS トランジスタを構成する素子構造の説明図（その 2）である。

【図 4】

本発明の第 2 の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。

【図 5】

第 2 の実施形態における半導体装置の製造方法を説明する説明図（その 1）であり、各工程後の断面図である。

【図 6】

第 2 の実施形態における半導体装置の製造方法を説明する説明図（その 2）であり、各工程後の断面図である。

【図 7】

本発明の第3の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。

【図8】

本発明の第4の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。

【図9】

本発明の第5の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。

【図10】

本発明の第6の実施形態に係る半導体装置のキャパシタを形成する部分の説明図である。

【図11】

第6の実施形態の半導体装置における寄生容量の算定モデルを説明する説明図である。

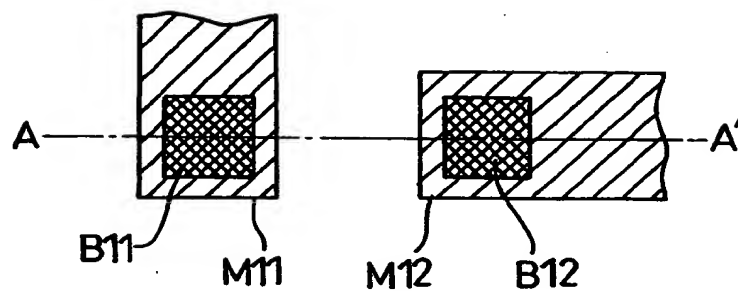
【符号の説明】

| | |
|---|--------------|
| 101, 201, 301, 401, 501, 701, 801, 901, 100 | |
| 1 | シリコン基板 |
| 502 | nウェル |
| 503 | pウェル |
| 504 | ゲート酸化膜 |
| 505, 1005 | 素子分離領域 |
| 411, 511, 711, 811, 911, 1011 | ストッパ |
| 412, 512, 712, 812, 912, 1012 | 絶縁保護膜 |
| 513, 1013 | 絶縁層間膜 |
| 514 | 線間膜 |
| B11~B102 | スルーホール |
| M11~M102 | メタル配線 |
| P21~P103 | ポリシリコン層（電極層） |

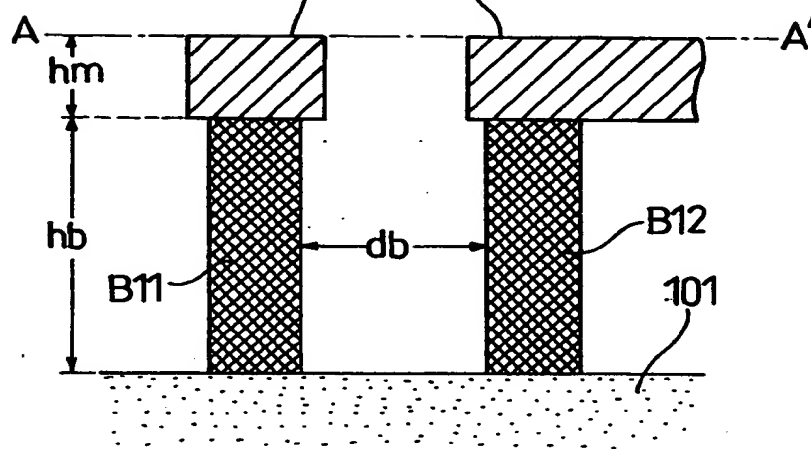
【書類名】 図面

【図 1】

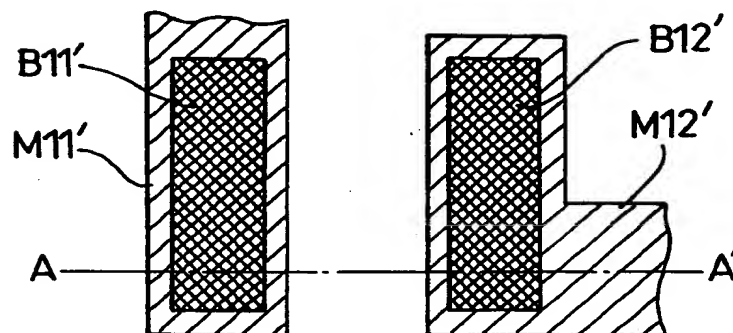
(a)



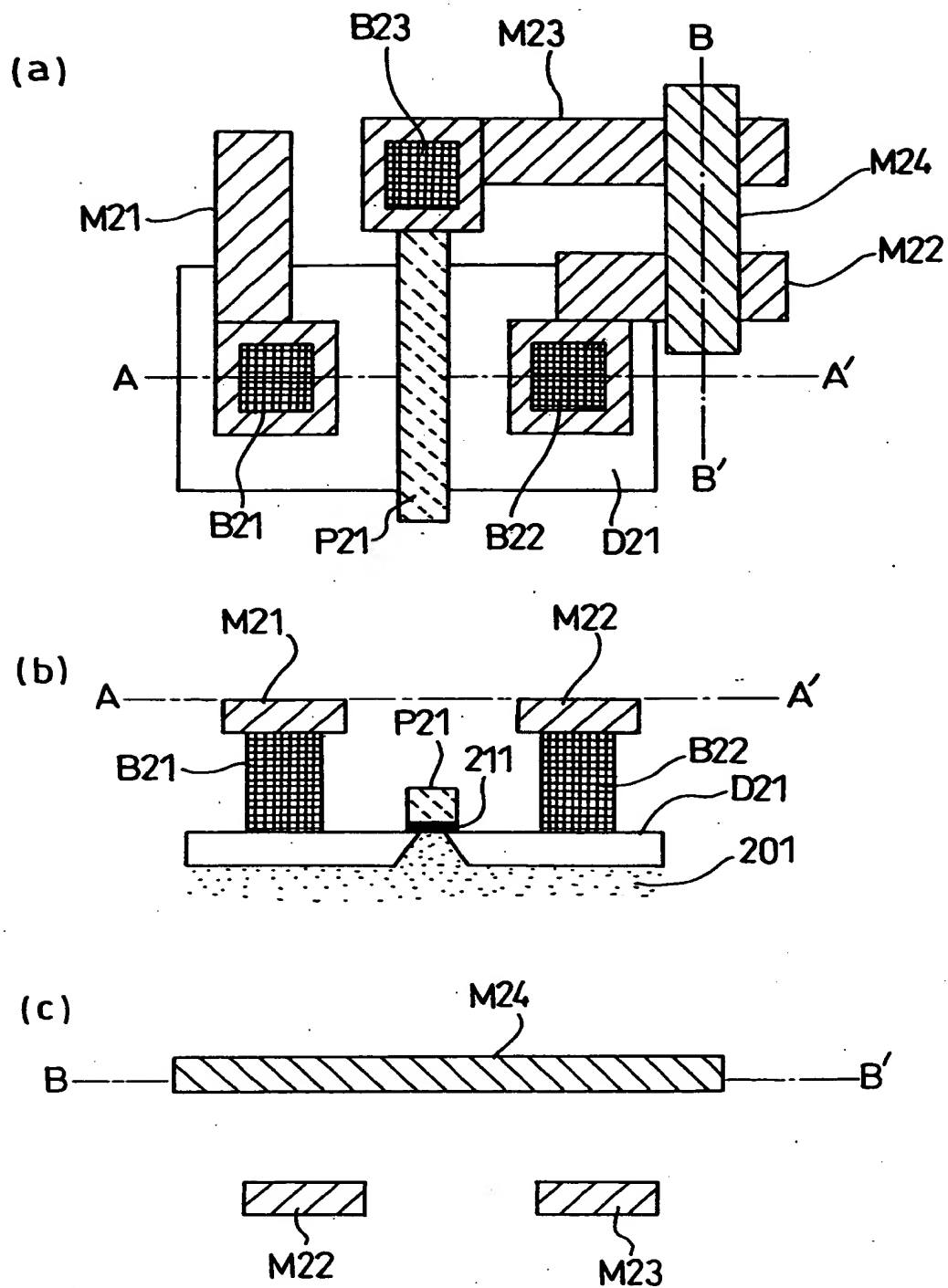
(b)



(c)

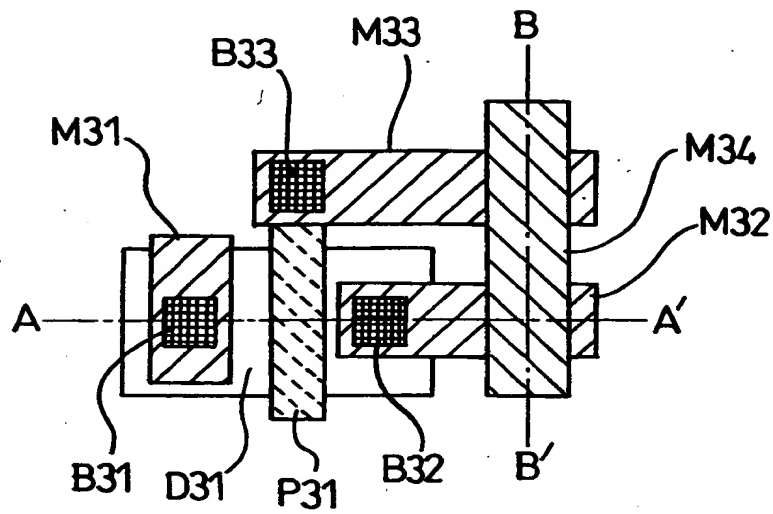


【図 2】

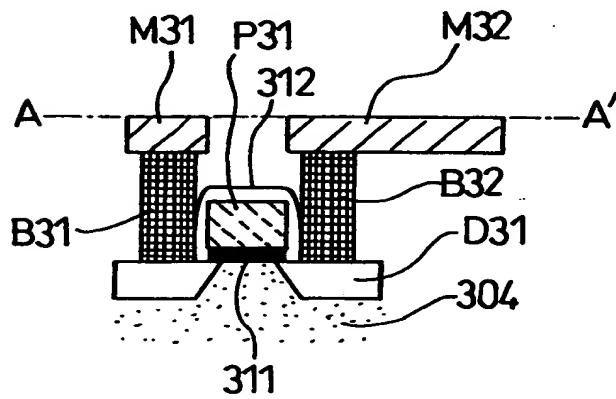


【図 3】

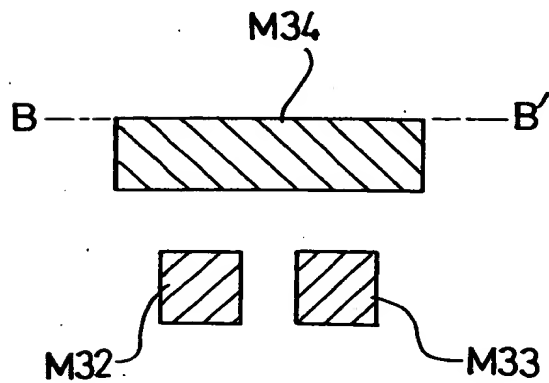
(a)



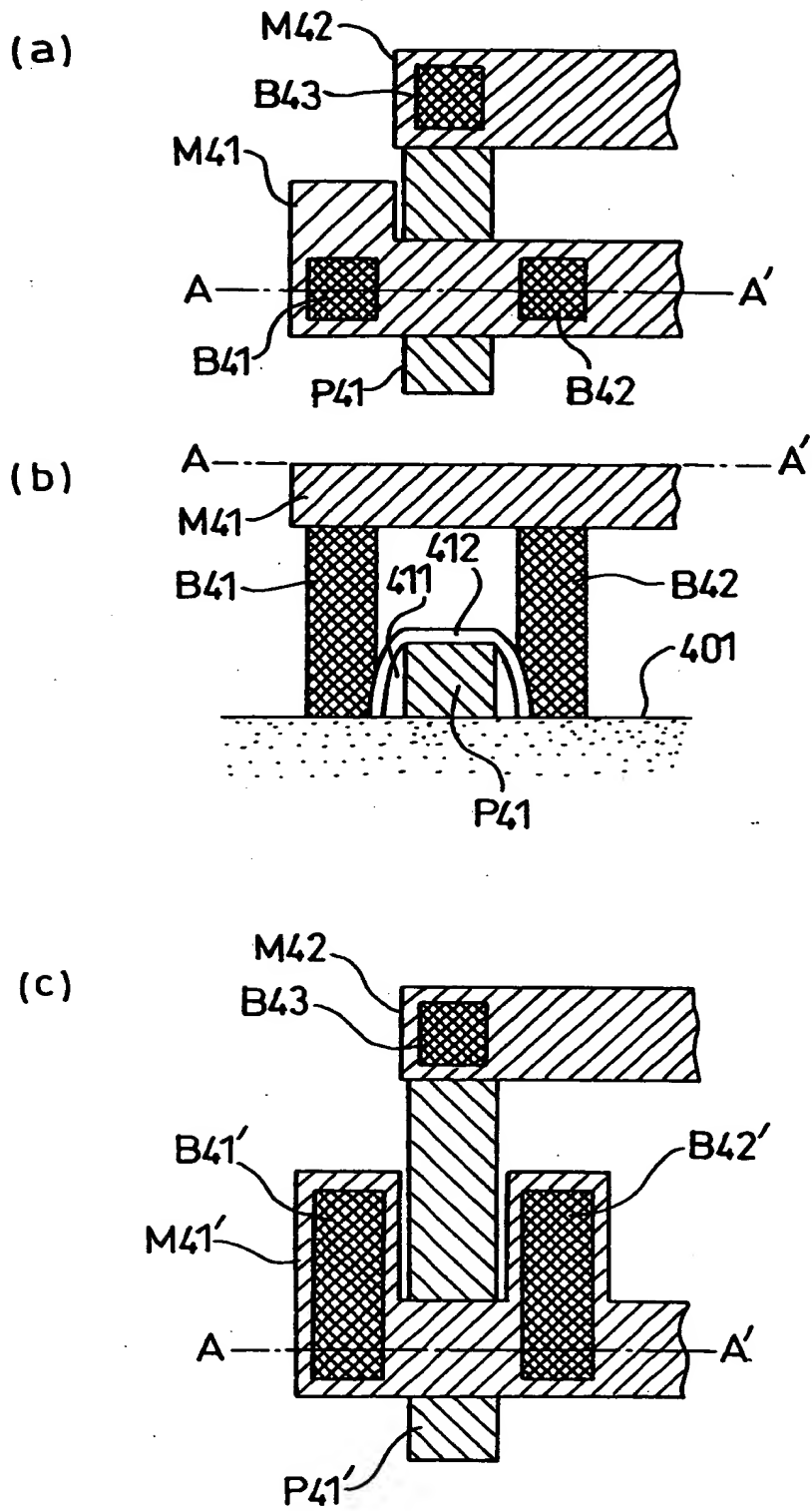
(b)



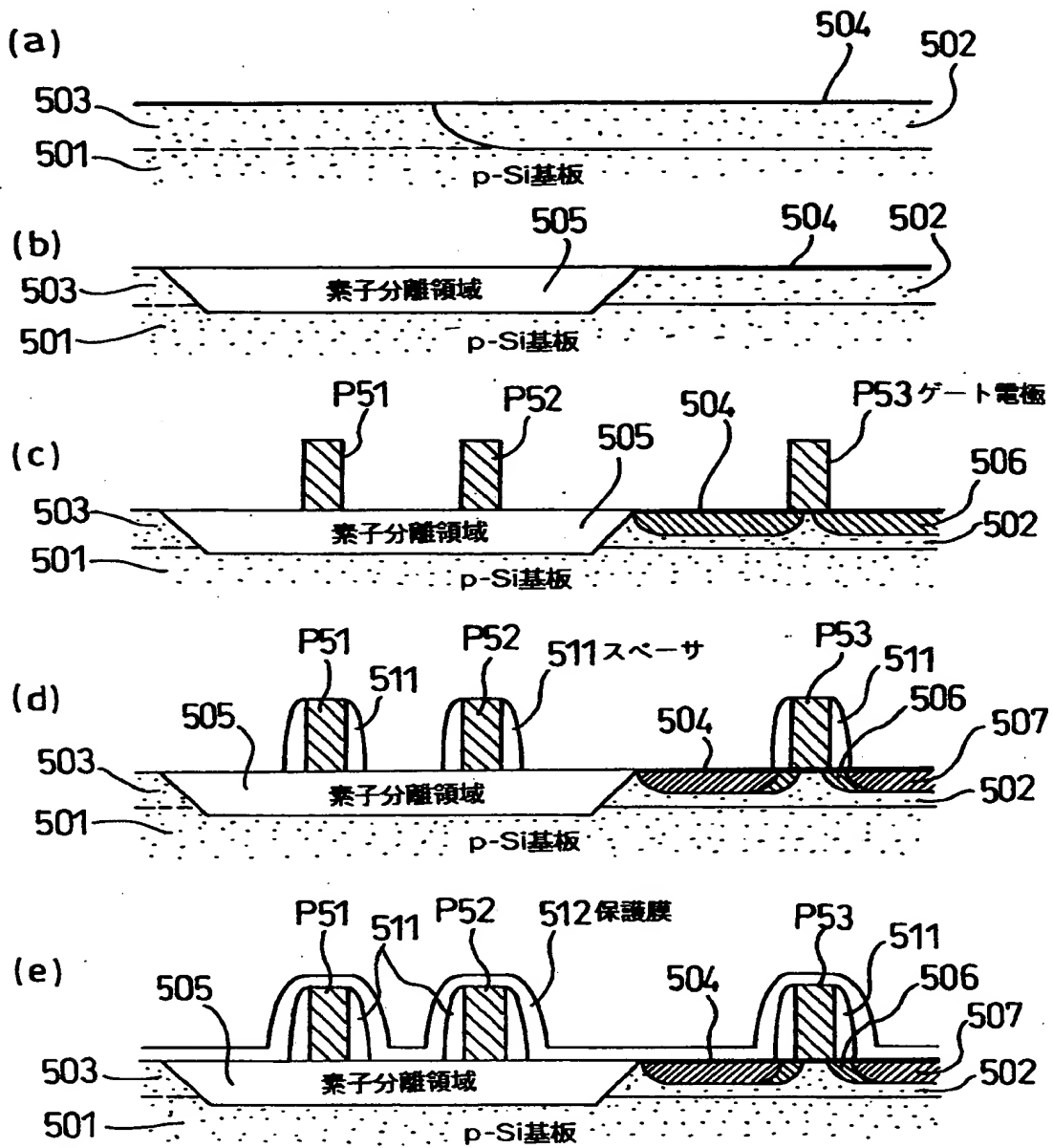
(c)



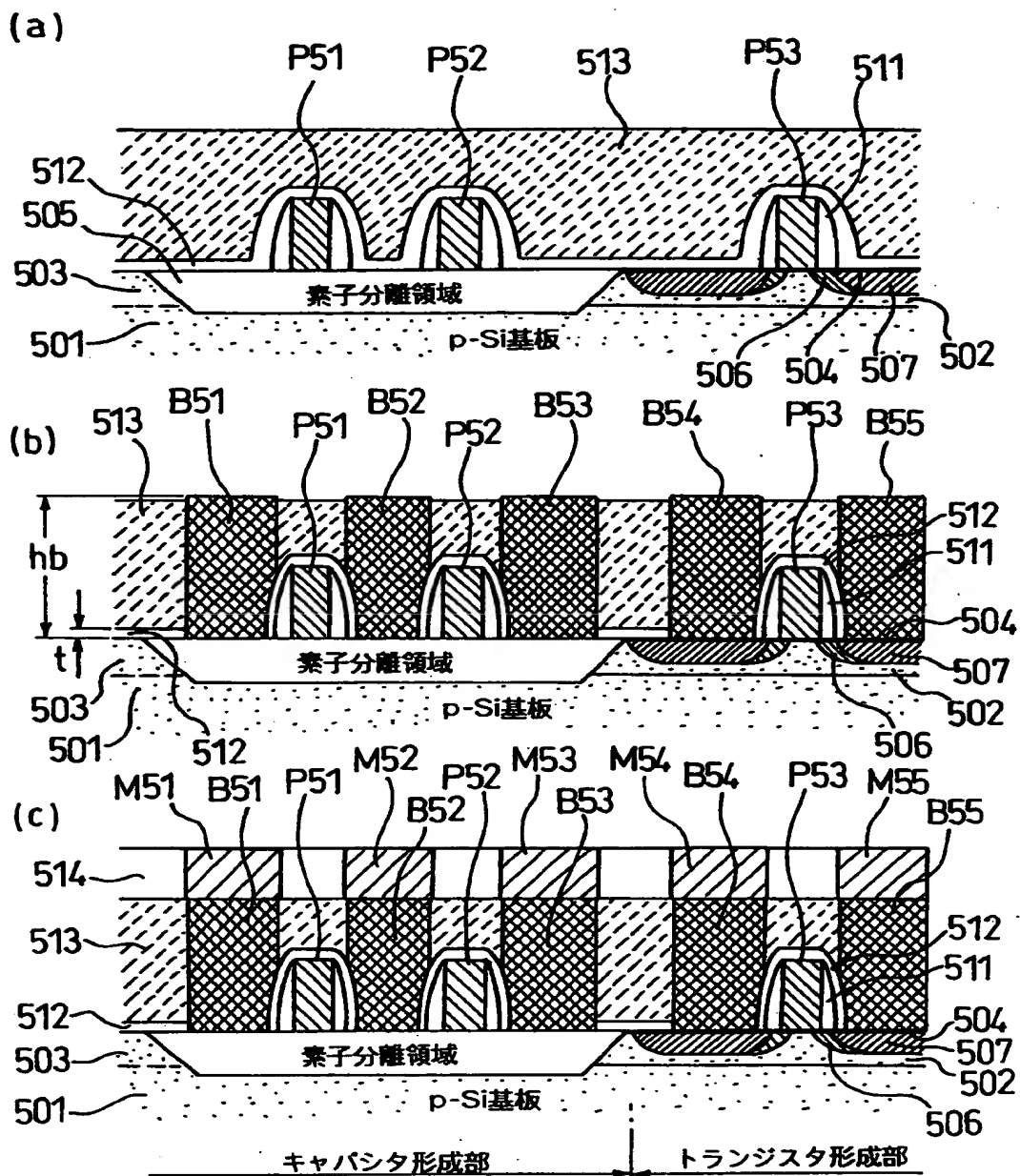
【図 4】



【図 5】

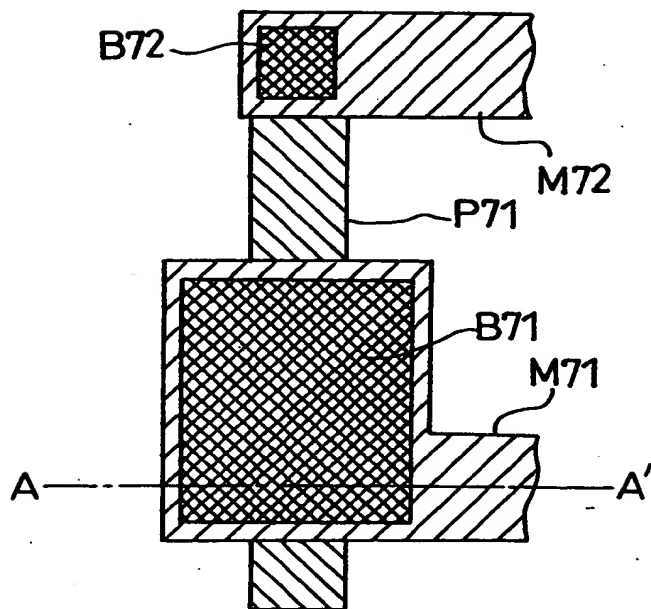


【図 6】

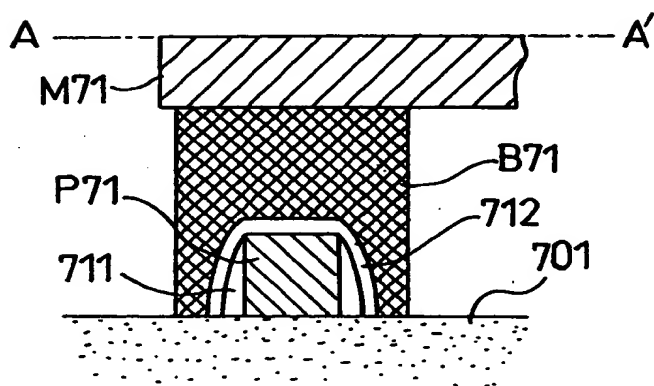


【图 7】

(a)

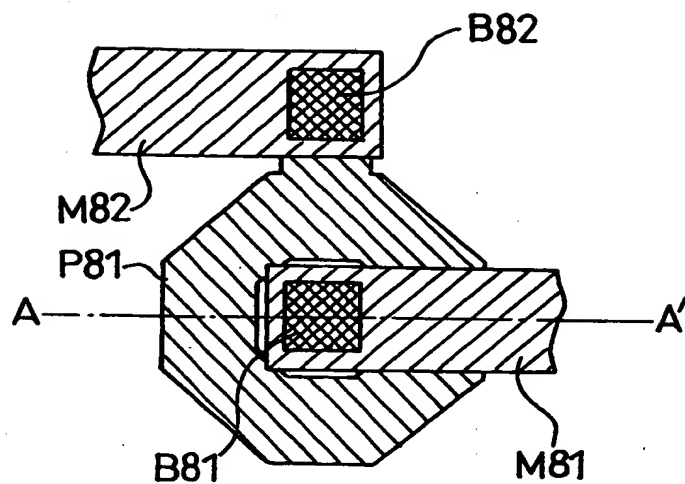


(b)

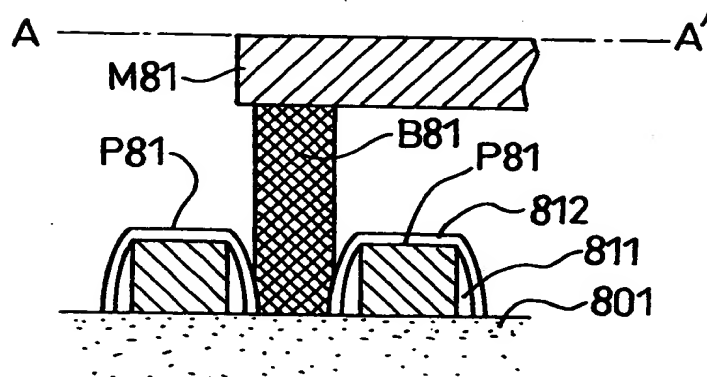


【図 8】

(a)

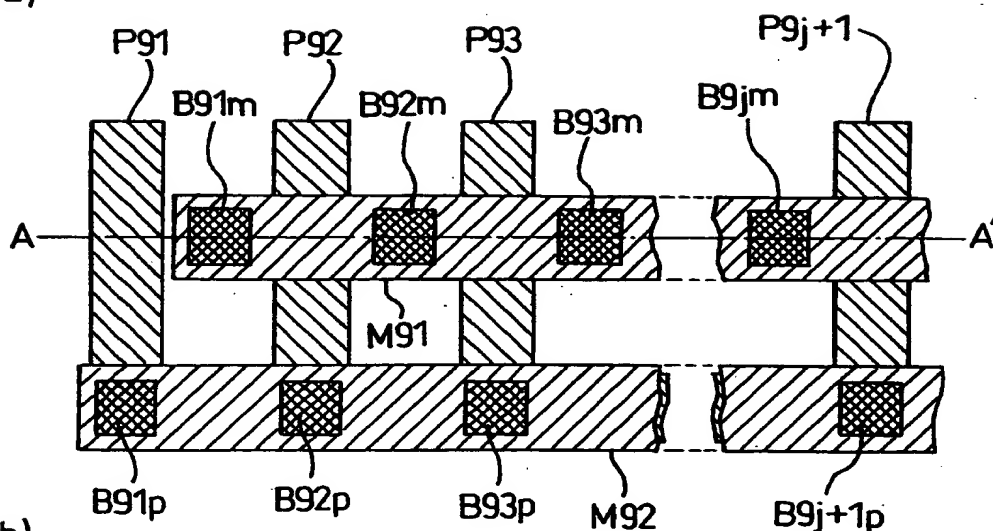


(b)

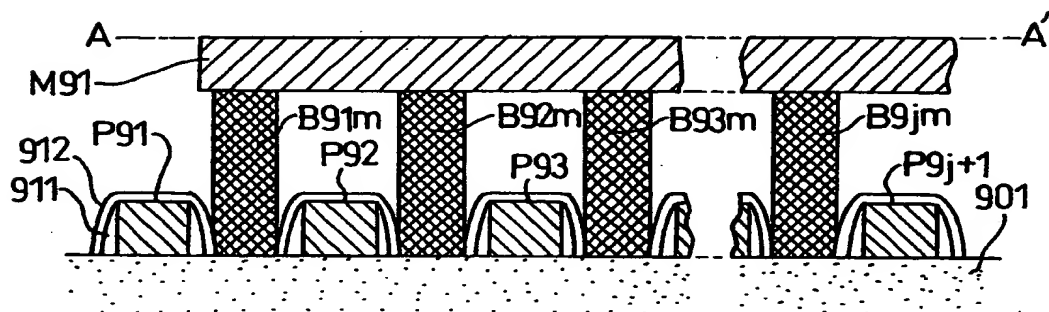


【図 9】

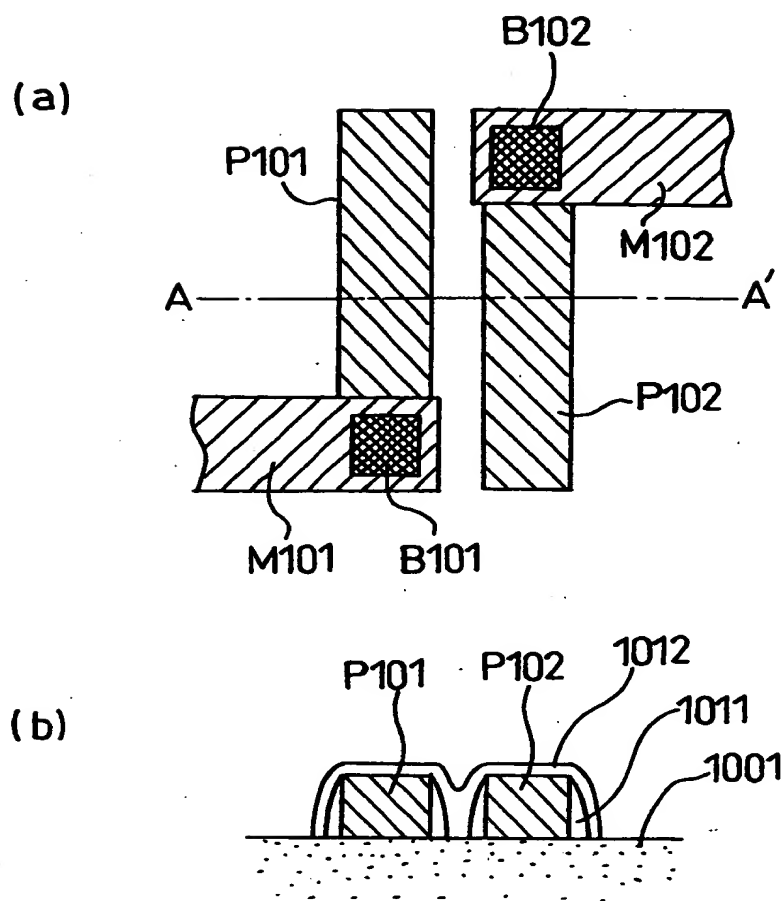
(a)



(b)



【図 10】



【書類名】 要約書

【要約】

【課題】 配線等の制約を受けることなく所望の位置にキャパシタを形成して電源ノイズ対策を効率的に行うことができ、微細化の進んだプロセス技術においても、より少ない面積でより大容量のキャパシタを構成できる半導体装置および半導体装置の製造方法を提供することを目的とする。

【解決手段】 プロセス技術の微細化に伴って大きな容量を持つようになった配線間（M11およびM12間）容量およびスルーホール間（B11およびB12間）容量を利用して、付加容量またはキャパシタを形成する。例えば、スイッチングノイズ等が発生する箇所の近傍にも付加容量を容易に形成することができ、電源ノイズ対策を効率的に行い得る。また、微細化の進んだプロセス技術においても、より少ない面積でより大容量のキャパシタを、他のデバイスと同一のプロセスで特別な工程を追加することなく形成することが可能である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005821]

| | |
|----------|------------------|
| 1. 変更年月日 | 1990年 8月28日 |
| [変更理由] | 新規登録 |
| 住 所 | 大阪府門真市大字門真1006番地 |
| 氏 名 | 松下電器産業株式会社 |